

Evento: XXV Jornada de Pesquisa
ODS: 9 - Indústria, Inovação e Infra-estrutura

SIMULAÇÃO DE JITTER INDUZIDO POR RUÍDO DA TENSÃO ALIMENTAÇÃO EM UM VCO EM ANEL CMOS¹

JITTER SIMULATION IN A CMOS RING VCO DUE TO POWER SUPPLY NOISE

Ricardo Vanni Dallasen², Marvin Willian Machry Pochay³, Carlos Alberto Petry⁴, Maikon Cismoski dos Santos⁵, André Fernando Rollwagen⁶, Vanessa Lago Machado⁷

¹ Trabalho de pesquisa

² Professor do curso de Ciência da Computação do IFSUL - Campus Passo Fundo

³ Aluno do curso de Ciência da Computação do IFSUL - Campus Passo Fundo

⁴ Professor do curso de Ciência da Computação do IFSUL - Campus Passo Fundo

⁵ Professor do curso de Ciência da Computação do IFSUL - Campus Passo Fundo

⁶ Professor do curso de Ciência da Computação do IFSUL - Campus Passo Fundo

⁷ Professor do curso de Ciência da Computação do IFSUL - Campus Passo Fundo

Resumo

Este trabalho apresenta simulações de um VCO em anel para avaliar o *jitter* induzido por ruído na tensão de alimentação. Inicialmente foi projetado um VCO em anel de 7 estágios em tecnologia CMOS de 45nm. Foram realizadas simulações para avaliar o *jitter* deste VCO para situações com ruído na tensão de alimentação. O ruído utilizado nas simulações foi ruído branco (gaussiano) e injetado na tensão de alimentação. Os resultados das simulações indicam que o *jitter* é tanto maior quanto o ruído presente na tensão de alimentação, chegando a uma piora de 20dB quando inserido ruído com 5% de amplitude.

Abstract

This works presents a VCO simulation to evaluate jitter induced due voltage supply noise. A 7 stage ring VCO was designed in 45nm CMOS technology. Simulations were carried out in order to evaluate VCO jitter behavior regarding power supply voltage noise. Noise used in simulations was white noise (gaussian), injected in power supply voltage. Simulation results show that jitter increases when power supply noise increase, reaching a 20dB degradation when a 5% amplitude noise was used.

Palavras-chave: oscilador, jitter, VCO, ruído, circuito integrado

Keywords: Oscillator, jitter, VCO, noise, integrated circuit

1 INTRODUÇÃO

A maioria dos circuitos integrados modernos são circuitos digitais síncronos CMOS (*Complementary Metal Oxide Semiconductor*). Para o funcionamento destes circuitos é necessário um sinal de *clock* que rege sua operação, controlando o fluxo de dados. Para gerar estes sinais são usados circuitos de PLLs (*Phase Locked Loops*), que empregam osciladores controlados por tensão (VCOs) para realizar as correções no sinal de *clock* de saída. Este sinal de *clock* deve ser estável, com a menor variação possível do tempo do seu período. Caso este sinal chegue muito adiantado ou muito atrasado, podem ocorrer violações de tempos de *hold* e de *setup* em flip-flops. A essa variação do período do sinal

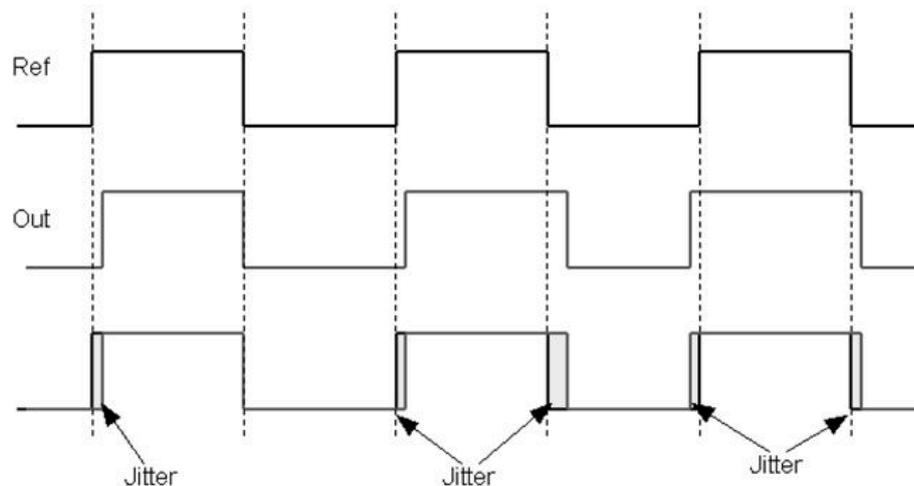
Evento: XXV Jornada de Pesquisa

ODS: 9 - Indústria, Inovação e Infra-estrutura

em relação ao seu valor ideal é chamado de *jitter*. Em conversores de dados (ADCs e DACs) o *jitter* exerce grande efeito no erro presente nas conversões destes dispositivos (Baker, 2010). Nas tecnologias de processo de dimensões nanométricas o *jitter* randômico exerce grande contribuição no *jitter* total e por isto é necessário avaliar seu impacto e implementar melhorias para mitigar seu efeito.

Jitter é definido como o desvio do período de um sinal periódico em relação ao seu valor ideal, como mostrado na Figura 1. Em circuitos de recuperação de clock, recuperação de dados, geradores de clock, conversores de dados, entre outros, são bastante afetados pelo *jitter*, podendo ocorrer erros na conversão de dados, violações de temporização em flip-flops, elevação da taxa de erros de bit (BER) (Shu, et al., 2005). Para sinais periódicos, o ruído é caracterizado em termos de ruído de fase e de *jitter* (conhecido também como *jitter* de fase). O ruído de fase é usado em análises em domínio frequência e em análises em domínio tempo, é caracterizado em termos de *jitter*. Ambos representam o desvio encontrado no sinal em relação ao sinal com período usado como referência. O ruído de fase afeta diretamente o desempenho de aplicações de radio frequência (RF), como transmissores e receptores de comunicação sem fio (Quemada, 2009).

Figura 1: Visualização gráfica do *jitter*.



Fonte: Autoria própria.

O *jitter* gerado pelos PLLs pode ser classificado em duas divisões em respeito ao circuito de origem, que são: síncrono e acumulativo. Pela característica do VCO de ser um circuito que não possui entradas periódicas, o *jitter* é avaliado em relação ao ciclo anterior do sinal e não a um sinal de entrada, como nos outros blocos, possuindo apenas *jitter* acumulativo. No restante dos blocos, existe um sinal de entrada periódico e o *jitter* gerado é classificado como síncrono. Isto porque as saídas são geradas após um evento na entrada e o atraso interno do circuito. Caso a entrada seja periódica, o *jitter* se manifesta como a modulação da fase na saída, conhecido como *jitter* modulado em fase, ou PM jitter.

Evento: XXV Jornada de Pesquisa
ODS: 9 - Indústria, Inovação e Infra-estrutura

2 METODOLOGIA

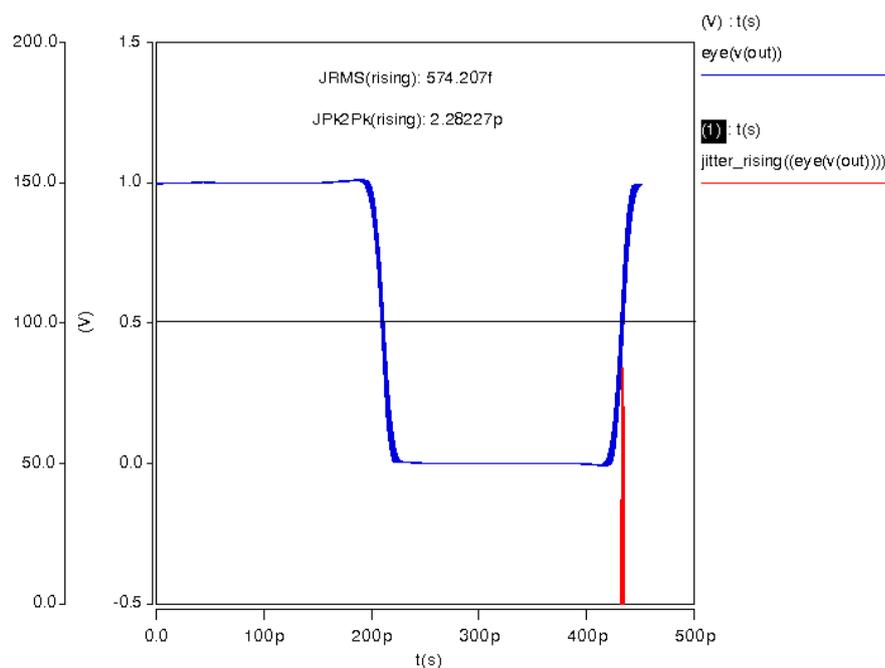
Para realizar a simulação do *jitter* no VCO foi projetado um VCO utilizando o modelo de tecnologia de 45nm HP versão 2.1 do PTM (*Predictive Technology Model*) da Universidade do Estado do Arizona (ASU, 2008). O PTM é um modelo que não representa um processo real, mas um prognóstico de como serão as características do processo. Embora não seja um modelo de um processo de fabricação real, a sua utilização é válida para o propósito do trabalho. A frequência de saída do VCO foi definida em 2.4GHz, tendo em vista que microprocessadores construídos com esta tecnologia operarem nesta frequência. Foi então projetado um VCO com saída simples de arquitetura de VCO em anel *single ended current starved* de 7 estágios (Razavi, 2004). Os transistores foram dimensionados com $L=100\text{nm}$, para $W_n=100\text{nm}$ e $W_p=180\text{nm}$.

Para inserir ruído no circuito, foi gerado ruído gaussiano com média zero (ruído branco) através do MATLAB para ser inserido nas simulações do circuito no simulador HSPICE. Foram gerados dois arquivos de ruído, um com amplitude de 1% outro com 5%. Para a análise de *jitter* foi empregada à ferramenta Cosmos Scope.

3 RESULTADOS E DISCUSSÃO

Inicialmente foi realizada uma simulação sem a adição dos ruídos, a fim de avaliar o *jitter* determinístico dos VCOs e também o erro apresentado pelas ferramentas. Na simulação do VCO sem inserção de ruído na tensão de alimentação foram obtidos 574fs de *jitter* RMS e 2,28ps de pico a pico, conforme mostrado na Figura 2.

Figura 2: *Jitter* determinístico do VCO.



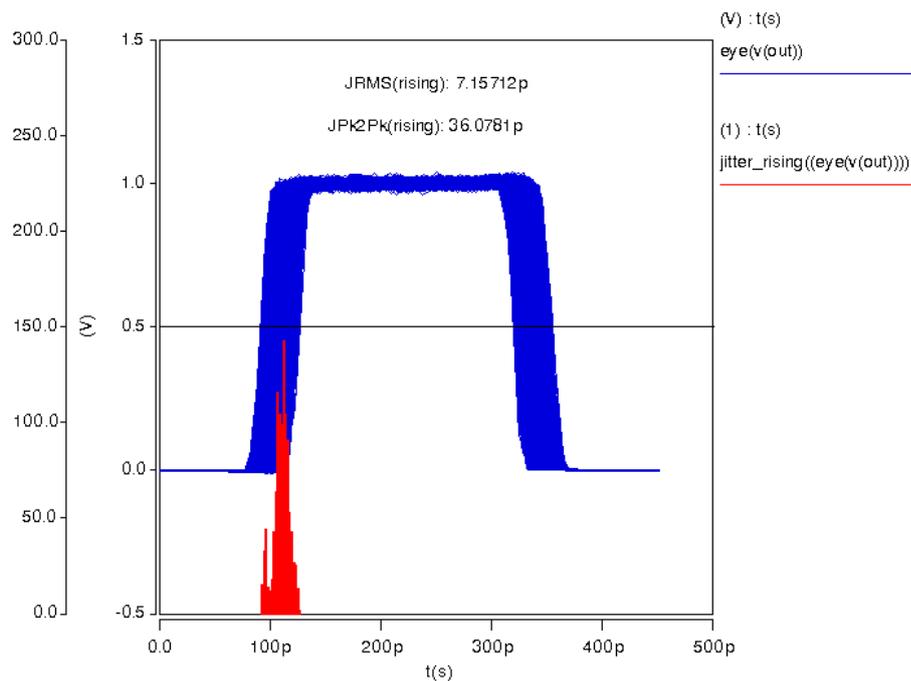
Fonte: Autoria própria.

Evento: XXV Jornada de Pesquisa

ODS: 9 - Indústria, Inovação e Infra-estrutura

Em seguida foi avaliado o efeito de ruído na fonte de alimentação (Vdd). Para isto foi injetado ruído branco na tensão de alimentação do VCO. Na Figura 3 são mostrados os resultados obtidos das simulações com ruído com 1% de variação. O VCO obteve 7,157ps de *jitter* RMS e 36,078 de pico a pico, uma piora de 10dB no *jitter* RMS e de 12dB no *jitter* de pico a pico em relação a simulação sem ruído.

Figura 3: *Jitter* no VCO padrão com ruído em Vdd de 1%.

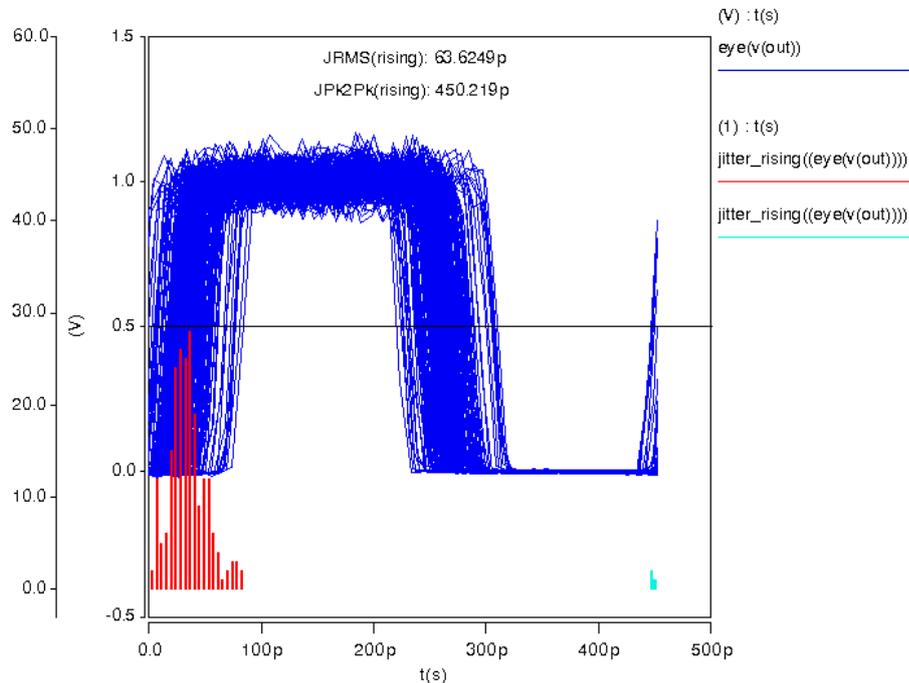


Fonte: Autoria própria.

Na Figura 4 é mostrado o resultado da simulação para Vdd com ruído de 5%. É possível notar que o *jitter* é elevado consideravelmente. O VCO padrão obteve 63,625ps de RMS e 450,22ps de pico a pico, resultando em uma piora de 9,5dB no *jitter* RMS e 11dB no *jitter* de pico a pico em relação à simulação de 1%. Em relação à simulação sem ruído, a piora foi de 20dB no *jitter* RMS e 23db de no *jitter* de pico a pico.

Figura 4: *Jitter* no VCO padrão com ruído em Vdd de 5%.

Evento: XXV Jornada de Pesquisa
ODS: 9 - Indústria, Inovação e Infra-estrutura

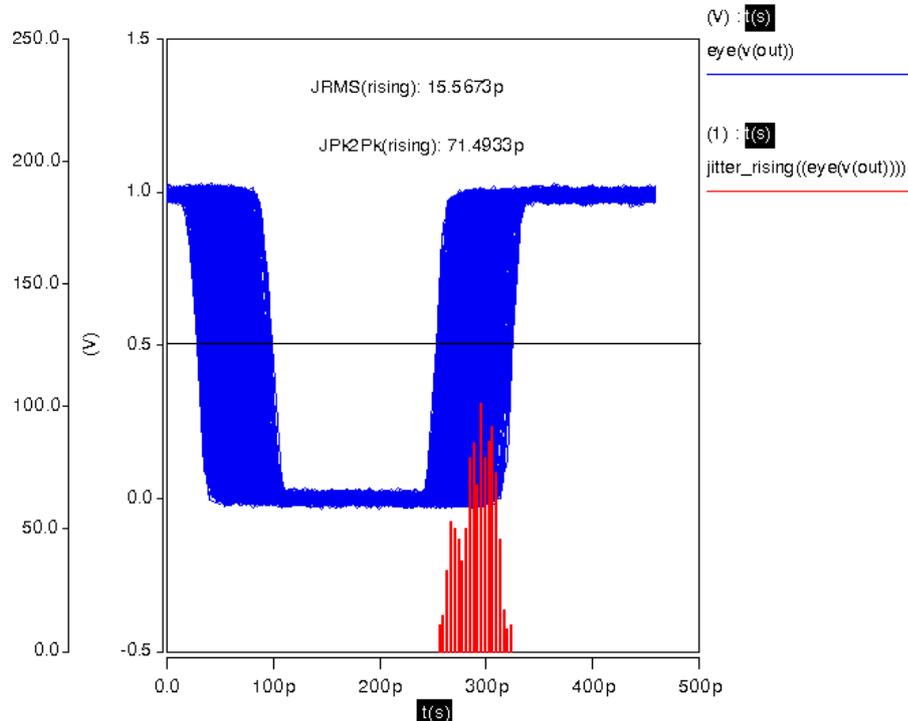


Fonte: Autoria própria.

Em seguida foi adicionado ruído em ambas alimentações, Vdd e Vss simultaneamente. Em Vdd foi usado 1% de amplitude e em Vss, 0,7%. Os resultados são mostrados na Figura 5. A simulação resultou em 15,567ps de *jitter* RMS e 71,49ps de *jitter* pico a pico. Comparando com a simulação do VCO sem ruído, *jitter* RMS piorou 14dB e o *jitter* pico a pico piorou 15dB. Em relação a simulação com ruído apenas na tensão de alimentação positiva (Vdd), houve piora de 3,4dB e de 3 dB respectivamente para o *jitter* RMS e de pico a pico.

Figura 5: *Jitter* no VCO padrão com ruído em Vdd de 1% e em Vss de 0,7%..

Evento: XXV Jornada de Pesquisa
ODS: 9 - Indústria, Inovação e Infra-estrutura



Fonte: Autoria própria.

O aumento do *jitter* nas simulações com ruído indica que este VCO possui baixa Taxa de Rejeição de Ruído da Fonte de Alimentação (PSRR) (Pialis e Phang, 2003). É possível notar que a estabilidade da tensão de alimentação é fator crucial para o desempenho de VCOs em anel. Para reduzir o *jitter* pode ser empregado outra topologia de VCO com melhor PSSR. Também pode ser melhorada a filtragem de ruído da fonte de alimentação externa ao circuito integrado.

4 CONSIDERAÇÕES FINAIS

Os osciladores em anel possuem maior ruído de fase que os osciladores ressonantes, mas são amplamente empregados em circuitos integrados pela sua facilidade de construção em tecnologia CMOS (Razavi, 2004). As simulações mostram a influência do ruído da fonte de alimentação no desempenho do VCO em termos de *jitter*. Existe uma correlação entre o ruído da tensão de alimentação com o *jitter* do VCO. Desta forma, é possível avaliar o impacto do ruído na operação do circuito. Futuramente pretende-se estender as simulações com ferramentas específicas de RF e também analisar o *jitter* em outras arquiteturas de VCOs em anel.

5 REFERÊNCIAS

ASU. 2008. Arisona State University. Predictive Technology Model (PTM). [Online] 2008. [Acessado em 06/05/2020 .] <http://ptm.asu.edu/>.

Quemada, Carlos, Bistué, Guillermo and Adin, Iñigo. 2009. Design Methodology for RF CMOS Phase Locked Loops. 1ª. Norwood : Artech House, 2009.

Evento: XXV Jornada de Pesquisa

ODS: 9 - Indústria, Inovação e Infra-estrutura

Razavi, Behzad. 2004. Design of Analog CMOS Integrated Circuits. 1ª. New York : McGraw Hill, 2004.

Shu, Keliu and Sánchez-Sinencio, Edgar. 2005. CMOS PLL Synthesizers: Analysis and Design. 1ª. Boston : Springer, 2005.

Pialis, T; Phang, K. "Analysis of timing jitter in ring oscillators due to power supply noise," *Proceedings of the 2003 International Symposium on Circuits and Systems, 2003. ISCAS '03.*, Bangkok, 2003, pp. I-I, doi: 10.1109/ISCAS.2003.1205656.

Parecer CEUA: 640.285